

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 12 月 23 日 (23.12.2004)

PCT

(10) 国際公開番号
WO 2004/112121 A1

(51) 国際特許分類⁷: H01L 21/336, 29/78, 21/8238, 27/092

(21) 国際出願番号: PCT/JP2004/008218

(22) 国際出願日: 2004 年 6 月 11 日 (11.06.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-170118 2003 年 6 月 13 日 (13.06.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町

2 丁目 1 番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 Niigata (JP).

(71) 出願人 および

(72) 発明者: 大見 忠弘 (OHMI, Tadahiro) [JP/JP]; 〒9800813 宮城県仙台市青葉区米ヶ袋 2-1-17-301 Miyagi (JP).

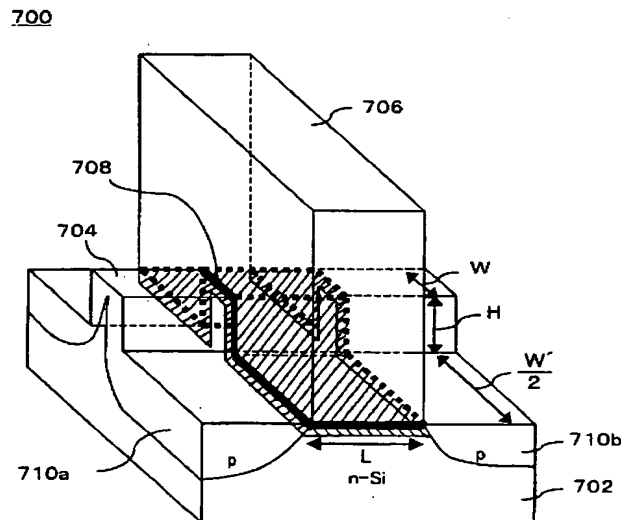
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 西牟田 武史 (NISHIMUTA, Takefumi) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内 Niigata (JP). 須川 成利 (SUGAWA, Shigetoshi) [JP/JP]; 〒9800861 宮城県仙台市青葉区川

[続葉有]

(54) Title: MIS TRANSISTOR AND CMOS TRANSISTOR

(54) 発明の名称: M I S トランジスタ及び C M O S トランジスタ



(57) Abstract: A MIS transistor formed in a semiconductor substrate is disclosed which comprises a semiconductor substrate (702, 910) having a projected portion (704, 910B) whose surface has at least two different crystal planes with respect to the major surface of the substrate, a gate insulating film (708, 920B) covering at least a part of each of the crystal planes constituting the surface of the projected portion, a gate electrode (706, 930B) formed on each of the crystal planes via the gate insulating film, and diffused regions of a same conductivity type (710a, 710b, 910c, 910d) which are formed in the projected portion facing the respective crystal planes and on both sides of the gate insulating electrode. By having such a structure, the MIS transistor can have an increased channel width while suppressing increase in device area.

(57) 要約: 半導体基板に形成される M I S トランジスタを前提とし、該 M I S トランジスタは、表面が少なくとも二つの異なる結晶面を有する凸部 (704、910B) を主面に対して構成する半導

[続葉有]

WO 2004/112121 A1